

⑩日本国特許庁 (JP)

⑪実用新案出願公開

⑫公開実用新案公報 (U)

平2-55752

⑬Int. Cl.

H 04 L 9/18  
H 04 J 3/06  
H 04 L 7/00

識別記号

庁内整理番号

⑭公開 平成2年(1990)4月23日

Z  
C

6914-5K  
6914-5K  
6945-5K

H 04 L 9/02

B

審査請求 未請求 請求項の数 1 (全 頁)

⑮考案の名称 スクランブル方式

⑯実願 昭63-135025

⑰出願 昭63(1988)10月18日

⑱考案者 小林 博和 東京都渋谷区渋谷2丁目17番5号 株式会社ケンウッド内

⑲出願人 株式会社ケンウッド 東京都渋谷区渋谷2丁目17番5号

⑳代理人 弁理士 砂子 信夫 外1名

## 明細書

### 1. 考案の名称

スクランブル方式

### 2. 実用新案登録請求の範囲

データ通信のためのスクランブル方式において、  
P Nデータを発生するP N信号発生器と、P N信号発生器から出力されるP Nデータを受けて位相をずらせた複数種類のP Nデータを実質的に生成する生成手段と、生成手段により実質的に生成された複数種類のP Nデータ中からデータとスクランブルするためのP Nデータを選択する選択コードをランダムに発生し、かつランダム変化周期で発生する選択コード発生手段とを備え、送信時に選択コードを送出すると共に、データと選択コードにともなって選択されたP Nデータとをスクランブルして送出し、受信機側で受信した選択コードに基づきランダムな周期で変化した送信機側におけるP Nデータと同一のP Nデータを発生させ、このP Nデータで受信データをデスクランブルすることを特徴とするスクランブル方式。

### 3. 考案の詳細な説明

#### (産業上の利用分野)

この考案は秘匿性のあるデータ通信または課金方式を実施する放送、たとえばPCM音声放送等に利用されるスクランブル方式に関し、特にPCM符号化したデータの解読を困難にするのに好適なスクランブル方式に関する。

#### (従来技術)

従来のスクランブル方式はPN信号発生器からのPNデータが固定であった。さらに解読の困難度を増すために、PN信号発生器の生成多項式を送信中に一定時間単位で周期的に数種類にわたりて変更することが行なわれている。

#### (考案が解決しようとする課題)

上記の如き従来のスクランブル方式によるときは、PN信号発生器の生成多項式が解明されてしまつたときはデータが解読されてしまうという問題点があった。さらに生成多項式の変更周期が解明されてしまつた場合においてもデータが解読されてしまうという問題点があった。

この考案は P N 信号発生器からの出力データをランダム周期で変更することにより上記の問題点を解消し、秘匿性の高いスクランブル方式を提供することを目的とする。

(課題を解決するための手段)

この考案のスクランブル方式は、データ通信のためのスクランブル方式において、P N データを発生する P N 信号発生器と、P N 信号発生器から出力される P N データを受けて位相をずらせた複数種類の P N データを実質的に生成する生成手段と、生成手段により実質的に生成された複数種類の P N データ中からデータとスクランブルするための P N データを選択する選択コードをランダムに発生し、かつランダム変化周期で発生する選択コード発生手段とを備え、送信時に選択コードを送出すると共に、データと選択コードにともなって選択された P N データとをスクランブルして送出し、受信機側で受信した選択コードに基づきランダムな周期で変化した送信機側における P N データと同一の P N データを発生させ、この P N デ

ータで受信データをデスクランブルすることを特徴とするものである。

(作 用)

上記の如く構成した本考案のスクランブル方式において、生成手段により P N 信号発生器から出力された P N データの位相をずらせた複数種類の P N データが実質的に生成され、選択コード発生手段から発生された選択コードにともなって生成手段により実質的に生成された複数種類の P N データ中からデータとスクランブルされる P N データが選択されて、データとスクランブルされる。選択コードはランダムに発生させられ、かつランダム周期で変化させられる。選択コードは送信時に送出され、受信機側では受信した選択コードに基づいてランダムな周期で変化した送信機側における P N データと同一の P N データが発生させられ、この P N データで受信データがデスクランブルされる。したがって元のデータが得られる。

しかるに、選択コードはランダムに発生させられ、かつランダムな周期で変化させられるため、

スクランブルされたデータを解読することが困難となる。また P N 信号発生器の生成多項式が判読されてもデータの解読は困難である。この結果、信頼性のある秘匿性のあるデータ通信が実現できる。

#### (実施例)

以下、この考案を実施例により説明する。

第1図はこの考案の一実施例におけるランダム周期スクランブル方式の送信機のブロック図を示し、第2図はランダム周期スクランブル方式の受信機のブロック図である。

この考案の一実施例においては時分割多重化される情報の数を“4”（本明細書ではブロックと記す）とした場合を例示する。

1 1 1 A ~ 1 1 1 D は低次部エンコーダであって、たとえばデータ又は音声データ等を P C M 符号化し、誤り訂正符号等を付加するエンコード処理を行なう。低次部エンコーダ 1 1 1 A ~ 1 1 1 D から出力されるデータのフレーム（低次部フレームと記す）構成は第3図に示す如く、1 フレーム

当り 2048 ビットである。2048 ビット中 2040 ビットは PCM 化された音声データおよび誤り訂正符号等を表わしている。なお、第 3 図において前部 8 ビットは空ビットである。ここで低次部フレーム構成は時分割多重化前のフレーム構成であって、各ブロックにおいてそれぞれ 2040 ビットの期間、PN データによりスクランブルされる。

A ブロック低次部フレーム構成信号発生部 110A は低次部エンコーダ 111A、後記する SI / PO シフトレジスタ 116 からの出力中の 4 ビットをラッチするラッチ回路 112A、ラッチ回路 112A からのラッチ出力を選択信号として後記する SI / PO シフトレジスタ 117 からの出力 (16 ビット) 中の 1 ビット出力を選択するマルチプレクサからなる入力選択回路 113A および低次部エンコーダ 111A から出力される音声データと入力選択回路 113A から出力される PN データとをスクランブルするための排他論理和回路 114A とかなっている。B ブロック低次部フレーム構成信

号発生部 110B、C ブロック低次部フレーム構成信号発生部 110C および D ブロック低次部フレーム構成信号発生部 110D についても同様であって、A ブロック低次部フレーム構成信号発生部 110A と同一構成要素には同一の符号であって添字 B、C、D によって区別してある。

118 は例えば生成多項式  $G_A$  (x) からなる M 系列 P N 信号発生器であり、第 3 図における音声データの先頭ビットから発生を開始し、M 系列 P N 信号発生器 118 のシリアル出力は S I / P O シフトレジスタ 117 に入力し、S I / P O シフトレジスタ 117 で 16 ビットにパラレル変換した信号を入力選択回路 113A ~ 113D に入力する。ここで M 系列 P N 信号発生器 118 および S I / P O シフトレジスタ 117 を動作させるクロック信号は低次部用の伝送クロック信号である。

一方、音声データとスクランブルを行なうための M 系列 P N 信号発生器 118 に対し、生成多項式  $G_B$  (x) からなる M 系列 P N 信号発生器 115 を備えており、M 系列 P N 信号発生器 115 から

のシリアル出力は S I / P O シフトレジスタ 116 で 16 ビットにパラレル変換し、4 ビットづつに区分して、区分された各 4 ビットのデータをラッチ回路 112A ~ 112D に各別に供給してラッチする。以下、ラッチ回路 112A ~ 112D へ供給される各 4 ビットデータを選択コードとも記す。M 系列 P N 信号発生器 115 および S I / P O シフトレジスタ 116 を動作させるクロック信号の周期は、M 系列 P N 信号発生器 118 および S I / P O シフトレジスタ 117 を動作させるクロック信号の周期に対して十分長く、たとえば 2048 倍に設定してある。

ラッチ回路 112A でラッチされた選択コードが選択信号として入力選択回路 113A に供給されている。そこで、S I / P O シフトレジスタ 117 のパラレルタップの “1” つが選択コードによって実質的に定められたのと等価であって、S I / P O シフトレジスタ 117 の定められたパラレルタップからは、クロック信号にともなって M 系列 P N 信号発生器 118 から出力される P N

データが順次出力されることになる。そこで入力選択回路 113A から出力されるデータは M 系列 PN 信号発生器 118 から出力されるシリアルな PN データであって、かつ PN データの位相はラッチ回路 112A からの選択コードによって定められることになって、選択コードにともなって M 系列 PN 信号発生器 118 から出力される PN データは実質的に変更されることになる。また、入力選択回路 113B, 113C, 113D から出力されるデータは入力選択回路 113A における場合と同様に、M 系列 PN 信号発生器 118 から出力されるシリアルな PN データであって、かつ PN データの位相は、それぞれラッチ回路 112B, 112C, 112D からの選択コードによって定められることになって、選択コードにともなって M 系列 PN 信号発生器 118 から出力される PN データは実質的に変更されることになる。

さらに、M 系列 PN 信号発生器 115 を動作させるクロック信号の周期が音声データをスクランブルするための M 系列 PN 信号発生器 118 から

出力される P N データを実質的に変更する周期となる。M 系列 P N 信号発生器 115 および S I / P O シフトレジスタ 116 を動作させるクロック信号の周期を上記した如く M 系列 P N 信号発生器 118 および S I / P O シフトレジスタ 117 を動作させるクロック信号の周期の 2048 倍としたときは 1 フレームの期間毎に M 系列 P N 信号発生器 118 から出力される P N データが実質的に変えられることになる。

入力選択回路 113 A から出力される P N データと低次部エンコーダ 111 A から出力される音声データとは排他論理和回路 114 A で論理演算されて、スクランブルされることになり、排他論理和回路 114 A から出力されるデータは低次部エンコーダ 111 A から出力されるデータを M 系列 P N 信号発生器 118 から出力される P N データでスクランブルされた音声データである。なお、排他論理和 114 B, 114 C, 114 D からの出力についても同様である。

ここで S I / P O シフトレジスタ 116 の出力

は 16 ビットであり、各 4 ビット毎に M 系列 P N 信号発生器 118 から出力される P N データ中の最初のビット位置を選択するための選択コードとしてラッチ回路 112A ~ 112D にそれぞれ割り当てられ、選択コードは時分割多重回路 121 に入力されて、4 ビット長のインターリープを行なうことで選択コードの時分割多重を行ない SDS (A) ~ SDS (D) が時分割多重回路 121 から出力される。時分割多重回路 121 から出力される選択コード SDS (A) ~ SDS (D) は、M 系列 P N 信号発生器 118 からの P N データが変更されるフレームに対して 1 フレーム先行して送出する。S I / P O シフトレジスタ 116 から出力される選択コードをラッチ回路 112A ~ 112D により 1 フレーム遅延して、各ブロックの入力選択回路 113A ~ 113D の選択コード端子へ入力し、16 ビットの M 系列 P N 信号発生器 118 から出力された P N データから 1 フレーム分遅延された選択コードにもとづき実質的に変更された P N データによって、低次部エンコーダ



111A～111Dから出力される音声データが  
スクランブルされることになる。

スクランブルされたAブロックからの音声データ、同Bブロックからの音声データ、同Cブロックからの音声データおよび同Dブロックからの音声データは時分割多重部119に入力して、4ビット長のインタリープ動作を行ない、音声データの時分割多重を行なう。

120はフレーム同期パターン信号発生器である。フレーム同期パターン信号発生器120から出力された16ビットのフレーム同期信号(SYNC)、時分割多動部119において時分割多重化された音声データおよび時分割多重化回路121において時分割多重化された16ビットの選択コード(SDS (A)～SDS (D))はセレクタ122に入力され、セレクタ122においてフレーム同期信号(SYNC)、時分割多重化された選択コード(SDS (A)～SDS (D))および時分割多重化された8160ビットの音声データの順序で選択して出力する。したがって、セレクタ

122から出力される時分割多重化信号のフレーム構成は第4図に示す如く、16ビットのフレーム同期信号(SYNC)、16ビットの選択コード(SDS (A) ~ SDS (D))、8160ビットの音声データ(誤り訂正符号等を含む)からなる8192ビット構成となる。ここで第4図は低次部フレーム構成を4ブロック分まとめて時分割多重した高次部のフレーム構成を示している。第4図および上記した説明から明らかな如く、先頭に16ビットのフレーム同期信号を、次にスクランブルのためのM系列PN信号発生器118から出力されるPNデータ中の先頭ビットを選択する選択コードを各ブロック当たり4ビット単位で割りつけて16ビットとし、最後に誤り訂正符号等を含む音声データを各ブロックでスクランブルした後、時分割多重して8160ビットとし、全体で8192ビット構成である。ここで選択コードおよび音声データは受信機における時分割多重分離動作を簡易化するためと、バーストエラーをランダム化するために時分割多重時において4ビット

ト長のインタリープを行なってある。

セレクタ 122 から出力される時分割多重化信号 (MD) は 4 相 DPSK 変調器 123 に入力して時分割多重化信号 (MD) により 4 相 DPSK 変調し、4 相 DPSK 変調した信号 (RF) をケーブルにより伝送する。

受信機はケーブルによって伝送されてきた 4 相 DPSK 変調信号 (RF) を受けた復調器 131 で、第 4 図に示した時分割多重された高次部フレーム信号、すなわちビットストリーム信号に復調する。次にビットストリーム信号をフレーム同期回路 132 に供給して、ビットストリーム信号からフレーム同期動作を行ないフレームパルス (FPL) を出力させる。このフレームパルス (FPL) は時系列的にデジタル信号処理をして音声データを復号する際の同期信号となるものである。

フレーム同期動作がなされた後、ビットストリーム信号から、A, B, C また D ブロック信号中から選択された 1 ブロック信号のみを、ブロック選択分離回路 133 で分離し、元の時分割多重化

前の伝送速度に戻す伸長動作を行なう。ブロック選択分離回路 133 により分離され、元の伝送速度に戻されたブロック信号を P N データ選択コード検出回路 134 に供給して、ブロック信号の選択コード（4 ビット）を検出し、入力選択回路 137 のコード選択端子へ入力する。

一方、受信機側においても送信機側と同じ生成多項式  $G_A(x)$  からなる M 系列 P N 信号発生器 135 を備えており、M 系列 P N 信号発生器 135 からの P N データを S I / P O シフトレジスタ 136 に入力して、シリアルデータからパラレルデータに変換した P N データ（16 ビット）を入力選択回路 137 へ入力する。したがって P N データ選択コード検出回路 134、M 系列 P N 信号発生器 135、S I / P O シフトレジスタ 136 および入力選択回路 137 の関係は送信機側におけるラッチ回路 112A（112A～112D）、M 系列 P N 信号発生器 118、S I / P O シフトレジスタ 117 および入力選択回路 113A（113B～113D）との関係と同一であって、

P Nデータ選択コード検出回路137から出力される選択コードに基づきP Nデータが入力選択回路137により選択される。入力選択回路137から出力されるP Nデータはブロック選択されたブロックにおける送信機側の入力選択回路から出力されるP Nデータと、その変更される周期も含めて、同一である。

入力選択回路137から出力されたP Nデータおよびブロック選択された音声データが排他論理和回路138に入力されて、排他論理和回路138でデスクランブルする。デスクランブルされた音声データは低次部デコーダ139に入力されて、低次部デコーダ139により誤り訂正動作、音声データの補間動作等の復号動作を行なう。低次部デコーダ139によって復号された音声データはD/A変換器140に入力されて、元のアナログ信号に変換し、スピーカ141に入力して音声に再生する。

(考案の効果)

以上説明した如くこの考案によれば、P N信号

発生器から出力される P N データの位相をずらせた複数種類の P N データを実質的に生成し、生成された複数種類の P N データ中からデータとスクランブルするための P N データを、ランダムに発生させかつランダムな周期で変化する選択コードによって選択し、選択された P N データとデータとがスクランブルされるため、スクランブルされたデータを解読することは困難となる。また P N 信号発生器の生成多項式が判明されてもデータとスクランブルされる P N データが変化させられているためデータの解読は困難となる。この結果、信頼性ある秘匿データ通信が実現できる。

#### 4. 図面の簡単な説明

第 1 図は本考案の一実施例における送信機側のブロック図。

第 2 図は第 1 図に示す送信機からのデータを受信する受信機側のブロック図。

第 3 図は本考案の一実施例における低次部エンコーダから出力される低次部フレーム構成を示す図。

第4図は本考案の一実施例における時分割多重化後の高次部フレーム構成を示す図。

110A～110D…A～D ブロック低次部フレーム構成信号発生部、111A～111D…低次部エンコーダ、112A～112D…ラッチ回路、113A～113D…入力選択回路、114A～114D…排他論理和回路、115および118…M系列PN信号発生器、116および117…S1/P0シフトレジスタ、119…時分割多部、120…フレーム同期パターン発生器、121…時分割多重回路、122…セレクタ。

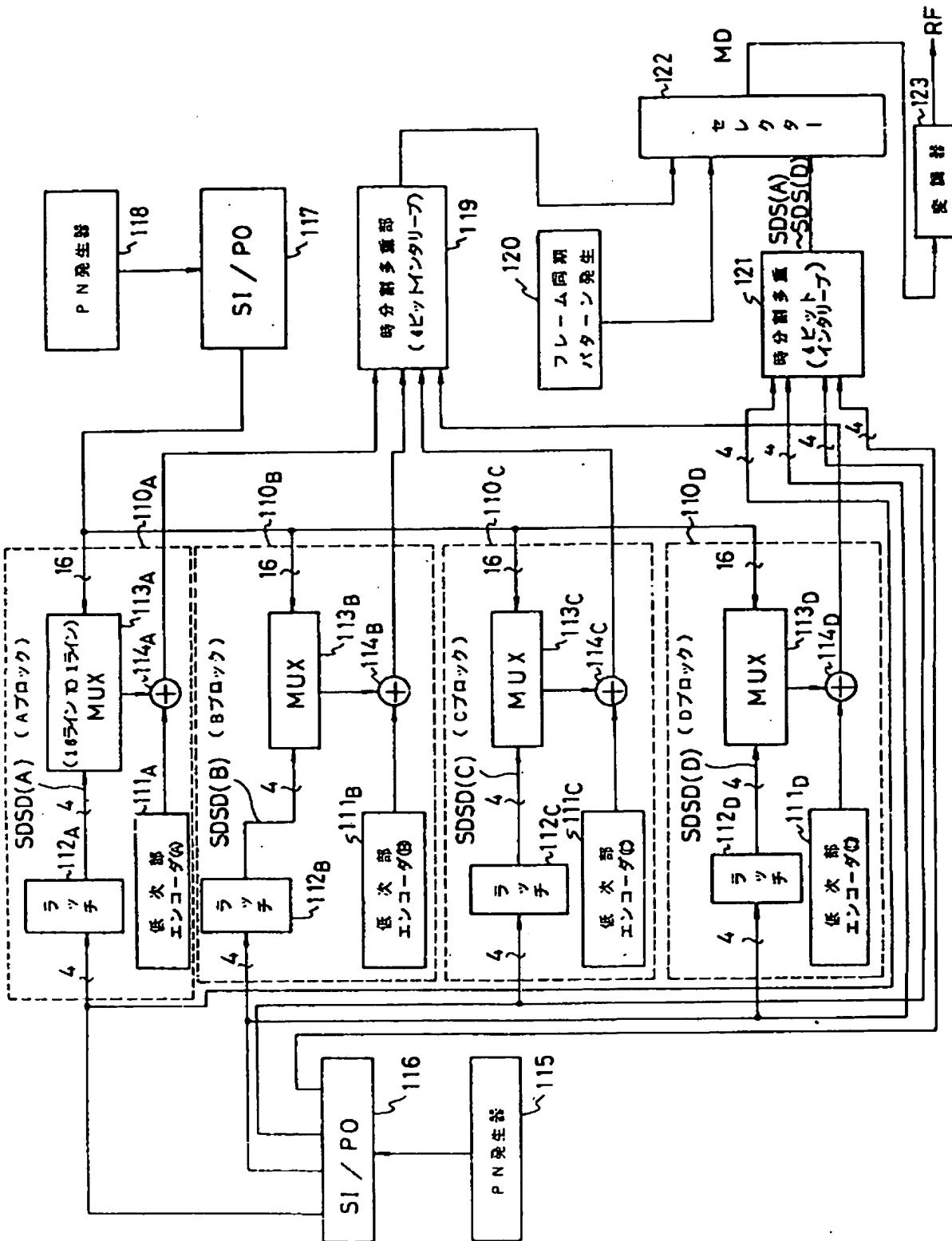
実用新案登録出願人

株式会社ケンウッド

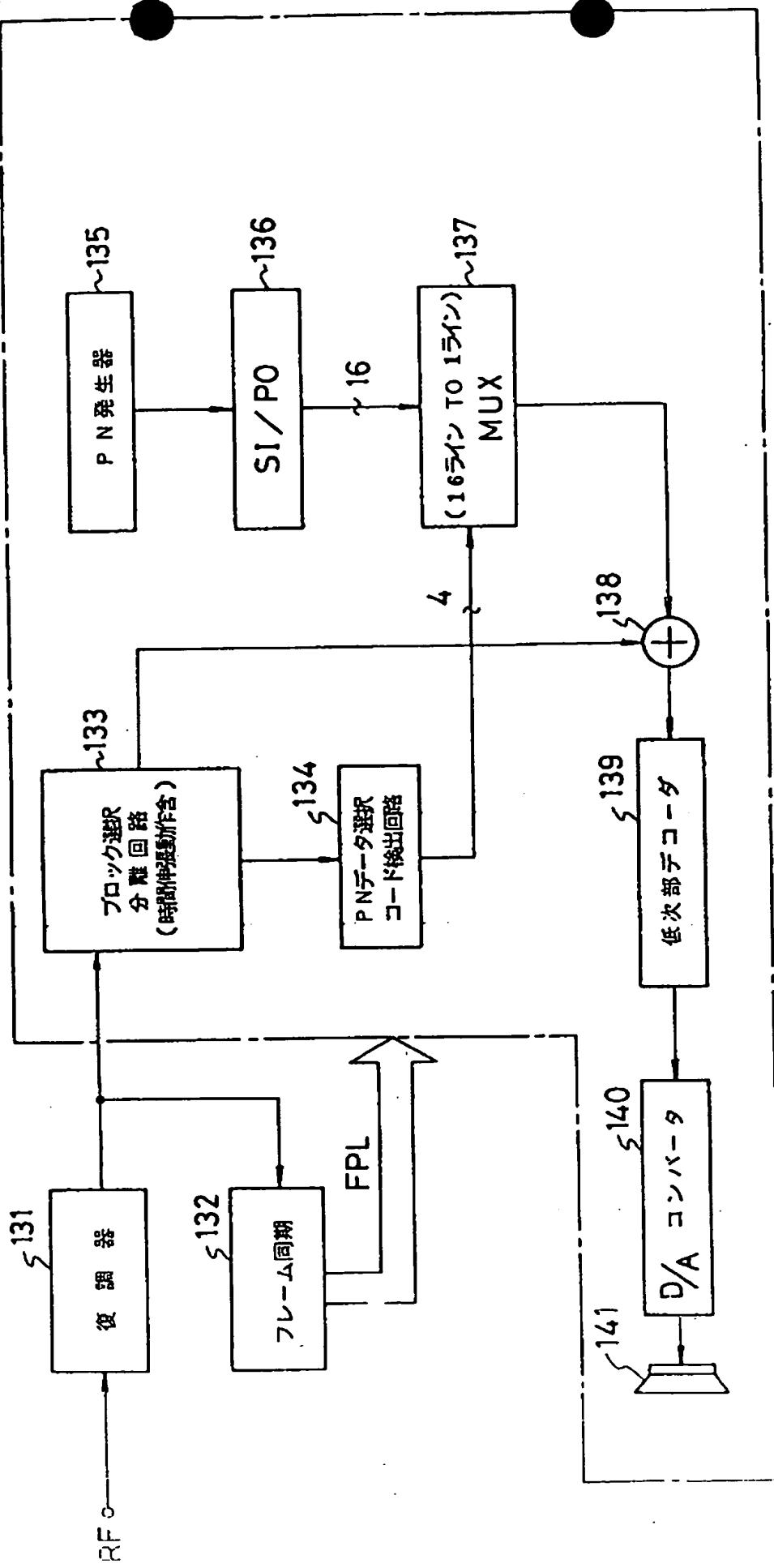
代理人 弁理士 砂子信夫

(ほか1名)

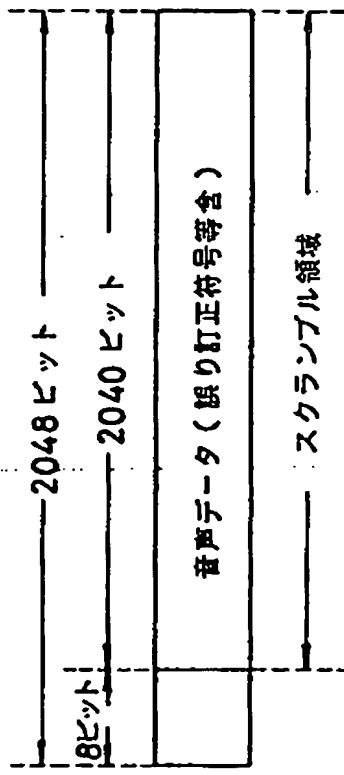
四



第2図



第 3 図



第 4 図

